

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭55-17240

⑮ Int. Cl.³

B 60 L 3/00

B 61 L 3/08

識別記号

庁内整理番号

6903-5H

7304-5H

⑯ 公開 昭和55年(1980)2月6日

発明の数 1

審査請求 未請求

(全 4 頁)

⑰ ATC用制限速度選別装置

⑱ 発明者 宏斉博次

浦和市上木崎1丁目13番8号日

本信号株式会社与野工場内

⑲ 特 願 昭53-88614

⑳ 出 願 昭53(1978)7月20日

㉑ 出 願 人 日本信号株式会社

東京都千代田区丸の内三丁目3

番1号

㉒ 発明者 橋本昌蔵

浦和市上木崎1丁目13番8号日

本信号株式会社与野工場内

㉓ 代理人 弁理士 石井光正

明 細 書

1. 発明の名称

ATC用制限速度選別装置

2. 特許請求の範囲

(1) 並列二重系ATC(ATSを含む。以下同じ)

受信器を用いるATC用制限速度選別装置において、各制限速度について割当てられた各チャンネルごとに、当該チャンネル用の二系のATC信号検出回路の信号検出出力を入力とされる第1アンド回路と、前記二系の検出回路の信号検出出力を入力とされる第1オア回路と、この第1オア回路の出力と各チャンネルについて設けた前記第1アンド回路の出力とを入力とされるノア回路からの出力とを入力とされる第2アンド回路と、及び前記第1アンド回路の出力と第2アンド回路の出力を入力とされる第2オア回路とからなる判定回路を設け、各判定回路の前記第2オア回路の出力で下位優先回路を構成する各チャンネルに対応する受信リレーをそれぞれ動作させるよ

うにしたことを特徴とするATC用制限速度選別装置。

(2) 判定回路の各構成回路、前記判定回路とチャンネルを共通にする受信リレー及びノア回路が、前記判定回路とチャンネルを共通にするATC信号検出回路の信号検出出力を駆動電力としていることを特徴とする(1)項に記載のATC用制限速度選別装置。

3. 発明の詳細な説明

この発明は並列二重系受信器を用いるATC(自動列車制御)又はATS(自動列車停止装置)用制限速度選別装置に関するものである。

ATC(ATSを含む。以下同じ。)はある区間における軌道又はループに、当該区間における列車の運行条件を指定する信号を地上から送信し、車上の受信器でそのATC信号を受信して列車の運行を制御するものであるが、信頼度を向上させるため、各チャンネルのATC信号に対して設ける受信器を並列二重系にすることが採用されている。そして、同時に2チャンネル以上

のATC信号が検出された場合は、安全側の制限速度を選択するようにした下位優先回路が用いられている。しかしながら、従来の並列二重系受信器を用いる制限速度選別装置においては、第一系と第二系のいずれかの検出回路が信号検出出力を出したときに、その出力を下位優先回路に入力させているから、あるチャンネル用の検出回路が実際の地上からの送信と合致して二系とも信号検出出力を出したときに、同時に他の下位チャンネル用の検出回路の一つの系が誤動作により信号検出出力を出した場合は、下位優先回路からは二系とも信号検出出力を出している検出回路からの信号検出出力がATC速度信号として出力されず、誤動作した下位チャンネルの第一系のみ信号検出出力がATC速度信号として出力されてしまい、このために必要な制動が行なわれる欠点があった。

この発明は並列二重系受信器を用いるATC用制限速度選別装置において、いずれかのチャンネルで二系とも信号検出出力を出している場

合は、他のチャンネルにおける誤動作等による一系のみ信号検出出力を排除し二系とも出力している信号検出出力を優先し、しかも異なるチャンネルにおいてそれぞれ一系のみ信号検出出力を出している場合、および二系とも信号検出出力を出している場合は、下位チャンネルの信号検出出力をATC速度信号とすることにより、不要な制動を排除し、情報の信頼度を一段と向上させることを目的とする。

上記目的を達成するため、この発明においては、あらかじめ設定された制限速度について判当てられた各チャンネルごとに、当該チャンネル用の二系の検出回路からの信号検出出力を入力とされる第1アンド回路と、同二系の検出回路からの信号検出出力を入力とされる第1オア回路と、この第1オア回路の出力と各チャンネルについて設けた前記第1アンド回路の出力を入力とされるノア回路からの出力とを入力とされる第2アンド回路と、及び前記第1アンド回路の出力と第2アンド回路の出力を入力とされ

る第2オア回路とからなる判定回路を設け、その判定回路の前記第2オア回路の出力で下位優先回路を構成する当該チャンネル用の受信リレーを動作させるようにした。

次に、図面に基いてこの発明の一実施例を説明する。Vは車上アンテナを介して入力されるATC信号であり、列車の運行条件を定める複数の制限速度信号で構成され、それぞれあらかじめ定められたチャンネルに基いて伝送されてくる。RA、RBは第一系及び第二系の受信器で、それぞれ前記各チャンネルに対応して設けられた検出回路 $V_1RA \sim V_nRA$ 、 $V_1RB \sim V_nRB$ で構成されている。各検出回路は特定のチャンネルのATC信号のみを通過させるフィルタを内蔵し、そのATC信号を検出したときに、信号検出出力を出す。各チャンネルについてそれぞれ二個の検出回路 V_1RA 、 V_1RB 、 V_2RA 、 $V_2RB \sim V_nRA$ 、 V_nRB を並列に設けることにより、受信器RA、RBは並列二重系を構成している。

$C_1 \sim C_n$ はそれぞれ一つのチャンネルについて

二重に設けられた一対の検出回路 V_1RA 、 $V_1RB \sim V_nRA$ 、 V_nRB に接続された判定回路であり、いずれも同一の構成を有する。代表的に判定回路 C_1 に基いてその構成を説明すると、判定回路 C_1 は第1系検出回路 V_1RA の信号検出出力と第2系検出回路 V_1RB の信号検出出力とを入力とされる第1アンド回路1と、前記二つの検出回路 V_1RA 、 V_1RB の信号検出出力を入力とされる第1オア回路2と、各チャンネルに対して設けられた判定回路の前記第1アンド回路の出力を入力とされるノア回路5の出力と前記第1オア回路2の出力を入力とされる第2アンド回路3と、前記第1、第2アンド回路1、3の出力を入力とされる第2オア回路4とから構成されている。

そして、各判定回路 $C_1 \sim C_n$ の第2オア回路4の出力により、各チャンネルに対して設けられた受信リレー $V_1R \sim V_nR$ を動作させるようになっている。受信リレー $V_1R \sim V_nR$ は既知の下位優先回路Dを構成する各接点を動作させるようになつており、下位優先回路Dは、どの接点が動

作されるかにより、それぞれ各チャンネルのATO信号に対応するATC速度出力 $V_1 \sim V_n$ を出力するようになっている。

第2図は第1図に示された判定回路 C_i 及びノア回路5の具体例を示すものであり、第1アンド回路1を第1系検出回路 V_1RA の信号検出出力をコレクタ入力とされ、第2系検出回路 V_1RB の信号検出出力をベース入力とされるトランジスタ Tr_1 で構成し、かつ、エミッタ出力を受信リレー V_1R の駆動電力とするように設けており、各チャンネルに共用されるノア回路5を、各チャンネルの判定回路の前記第1アンド回路1のトランジスタのエミッタ出力をベースに印加されるトランジスタ Tr_2 のコレクタ側にリレー R を設けて構成し、第2アンド回路3を二つの検出回路 V_1RA 、 V_1RB の出力を入力すると第1オア回路2と前記第1アンド回路1のエミッタ出力を一つの入力とする第2オア回路4との間に前記リレー R の可動接点を設けて構成してある。 $d_1 \sim d_n$ は整流用ダイオードである。

条件の充足を阻害されているので、当該チャンネルの受信リレーは動作されない。

また、第一系検出回路 V_1RA が出力せず、第二系検出回路 V_1RB のみが出力する場合は、第1アンド回路1は出力しないので、他のいずれのチャンネルの検出回路も第一、第二系が同時に出力するものがないときは、リレー R が復旧し、第2アンド回路3が閉じているので、前記第二系検出回路 V_1RB の信号検出出力により受信リレー V_1R が動作される。

同時に複数のチャンネルの検出回路が第一、第二系とも出力した場合、又は同時に複数のチャンネルの一つの系のみの検出回路が出力した場合は、当該チャンネルに対応する受信リレーが同時に動作されることとなるが、この場合は前述した下位優先回路Dにより従来と同様に下位チャンネルの受信リレーに基づいて下位速度信号がATC信号として選択される。

第1図に示された論理回路を第2図に示した実施例のように構成した場合は、検出回路の出

このような判定回路の構成による作用を説明すると、第1チャンネルの二系の検出回路 V_1RA 、 V_1RB がともに信号検出出力を出したときは、第1アンド回路1のトランジスタ Tr_1 のベースに入力電圧が加わり、トランジスタがONして第1系検出回路 V_1RA からの出力により受信リレー V_1R が動作する。これと同時に、トランジスタ Tr_1 のエミッタ電圧すなわち、第1アンド回路1の出力がノア回路5のトランジスタ Tr_2 をONさせるため、リレー R が動作される。このため、第2アンド回路3が開くので、第1オア回路2の出力は受信リレー V_1R に印加されない。前記リレー R は他のチャンネルのすべての判定回路の第2アンド回路を構成している可動接点を動作させる。

従つて、一つのチャンネルの両系の検出回路が信号検出出力を出している状態下において、他のチャンネルの各対の検出回路の一つの系のみが故障などにより信号検出出力を出したときは、第2アンド回路3がリレー R によりアンド

力電力を受信リレーの駆動電力として用いるので、検出回路の信号検出出力がない状態において論理回路構成部品が故障しても、受信リレーが動作することはない。たとえば、トランジスタ Tr_1 の導通、トランジスタ Tr_2 の開放等の故障があつたとしても、第一、第二系検出回路 V_1RA 、 V_1RB ともに出力しないときは、受信リレー V_1R が動作されないことは勿論であるが、片系に異常な信号検出出力があつたとしても、その後の下位優先回路Dで上位信号が出力されることはない。従つて、ATC受信回路としてのフェイルセーフ性を損うことはない。

以上のように、この発明によれば、各制限速度について割当てられた各チャンネルごとに、当該チャンネル用の二系の検出回路からの信号検出出力を入力とされる第1アンド回路と、同二系の検出回路からの信号検出出力を入力とされる第1オア回路と、この第1オア回路の出力と各チャンネルについて設けた前記第1アンド回路の出力を入力とされるノア回路からの出力

とを入力とされる第2アンド回路と、及び前記第1アンド回路の出力と第2アンド回路の出力を入力とされる第2オア回路とからなる判定回路を設け、各判定回路の前記第2オア回路の出力で下位優先回路を構成する当該チャンネル用の受信リレーを動作させるようにしたから、高位速度のATC信号が送信されている場合に、高位チャンネルの検出回路が二系とも出力し、低位チャンネルの検出回路が誤動作により一系のみ出力したときは、二系とも出力している検出回路の出力がATC速度信号とされるため、不要な制動が行なわれることが防止され、また、複数のチャンネルの検出回路が二系とも出力したとき、又は複数のチャンネルの検出回路が一系のみ出力したときは、下位優先回路の作用により、安全側の低位チャンネルの検出回路の出力がATO速度信号とされる。

また、実施態様項に記載の発明によれば、判定回路の各構成回路，ノア回路，並びに受信リレーは、各チャネルの検出回路の信号検出出

力を駆動電力としているので、これらが故障したときには、受償リレーが動作されないため、フェイルセーフ性が一層向上される利点がある。

4. 図面の簡単な説明

第 1 図はこの発明の要部を示すブロック図であり、第 2 図は第 1 図中の一部の回路の具体例を示す回路図である。

V ... ATC 信号

RA, RB … 受信器

$$V_1 R_A \sim V_n R_A, V_1 R_B \sim V_n R_B \dots \text{檢出回路}$$

C₁ ~ C_n … 判定回路

$$V_1 R \sim V_n R \cdots \text{受償リレー}$$

D -- 下位優先回路

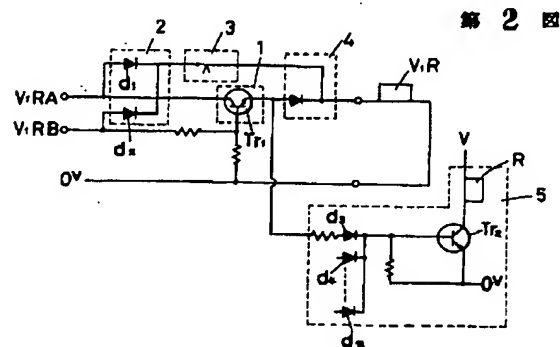
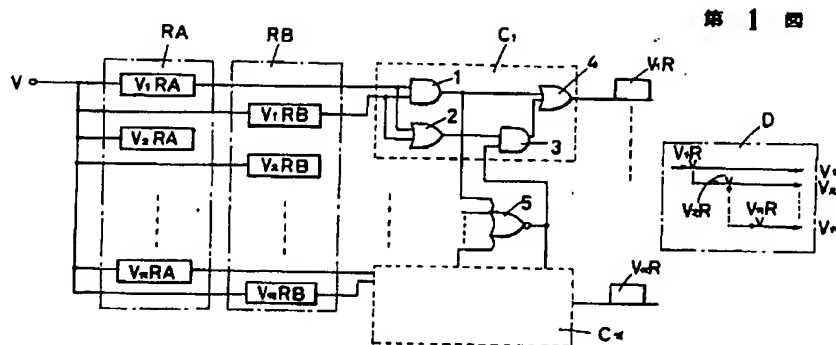
1…第1アンド回路

2 ... 第 1 オ丁回路

3 … 第 2 アンド回路 (第 2 図ではノア回路のイ)
 ンポート条件も含んでいる。

4 … 第 2 才丁回路

5 ... ノア回路 (第2図ではインバート条件を上記3に含めてある。)



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-017240

(43)Date of publication of application : 06.02.1980

(51)Int.Cl.

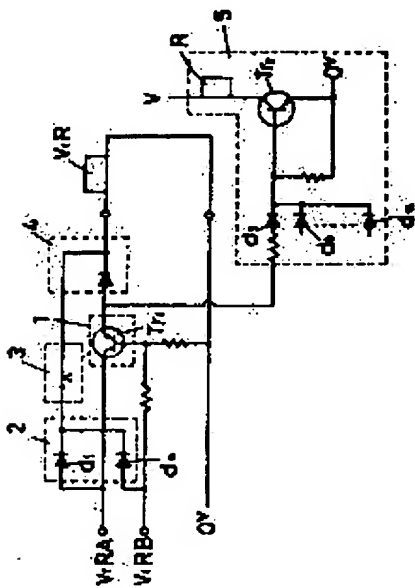
B60L 3/00

B61L 3/08

(21)Application number : 53-088614 (71)Applicant : NIPPON SIGNAL CO LTD:THE

(22)Date of filing : 20.07.1978 (72)Inventor : HASHIMOTO AKIZO
KOUSAI HIROTSUGU

(54) SPEED LIMIT SELECTOR DEVICE FOR ATC



(57)Abstract:

PURPOSE: To increase information reliability in a speed limit selector device that uses a parallel dual system receiver by suppressing, when two systems give signal detection outputs in any channel, the signal output of one system of other channel.

CONSTITUTION: When both of two detection circuits V1RA and V1RB of the first channel detect an ATC signal received through the antenna on a vehicle and give off signal detection outputs, the input voltage is applied to the base of transistor Tr1 of the first AND circuit, the transistor becomes ON, and receiving relay V1R is operated by the output from first detection circuit V1RA. At the time, the output of first AND circuit 1, i.e., the emitter voltage of Tr1, makes Tr2 of NOR circuit 5 ON and relay R is operated. By this, second AND circuit 2 is opened and the output

of first OR circuit is not applied to receiver relay V1R. Thus, fail-safe reliability is increased.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office